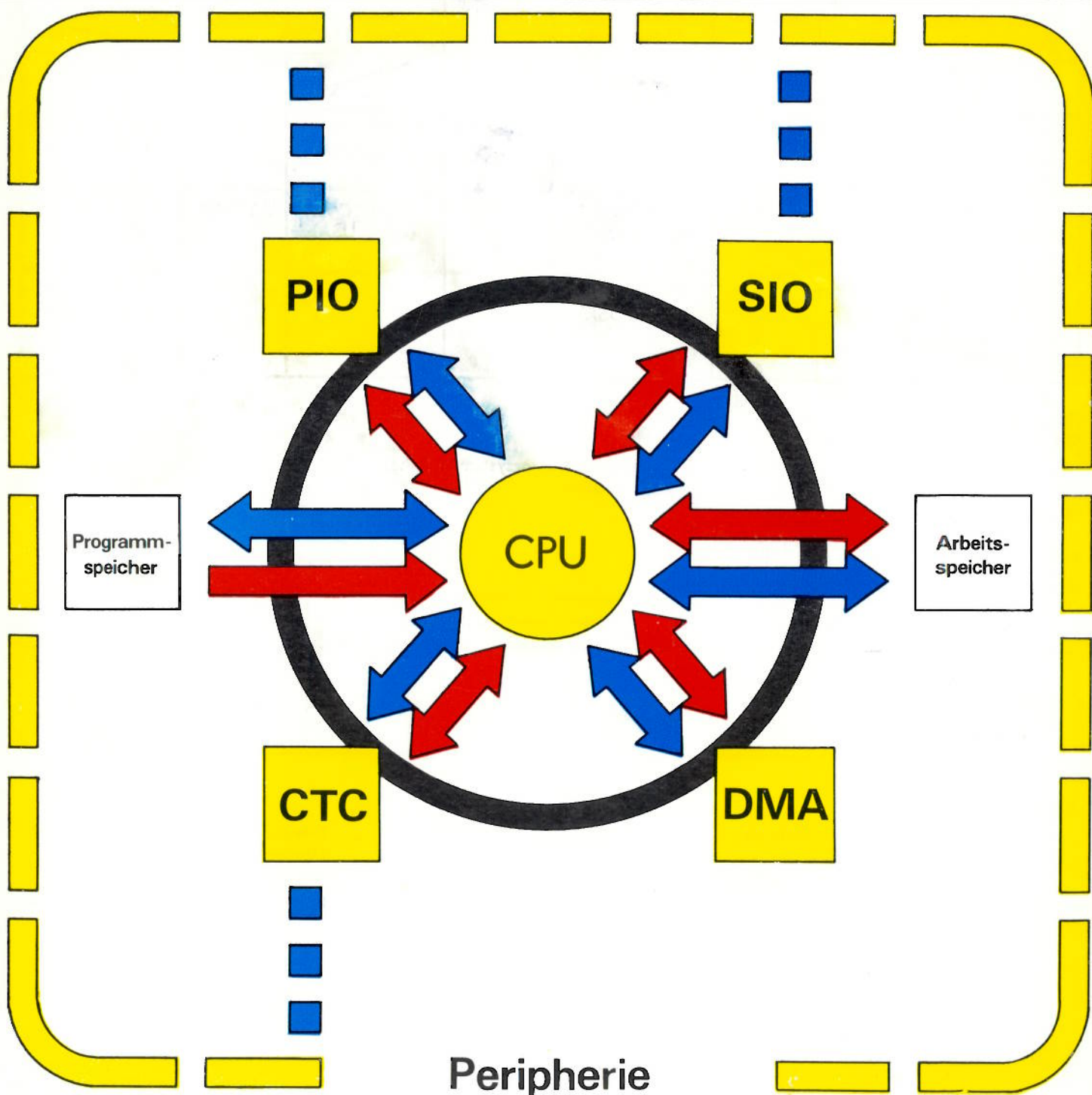


Mikroprozessorsystem U 880



Mikroprozessorsystem U 880

Das Mikroprozessorsystem U 880 umfaßt ein komplettes Sortiment an Mikrorechnerbausteinen, welches so konzipiert ist, daß komplette Mikrorechner-

systeme mit minimaler Bausteinzahl zu realisieren sind. Als Speicherbausteine sind sämtliche Standardbauelemente verwendbar. Alle Bausteine des Sy-

stems benötigen nur eine einzige 5 V – Stromversorgung und einen 5 V – Einphasentakt.

Übersicht Mikroprozessorsystem U 880

Taktfrequenz	2,5 MHz				4 MHz	
Temperaturbereich	$\vartheta_a = 0 \dots 70^\circ\text{C}$		$\vartheta_a = -25 \dots +85^\circ\text{C}$		$\vartheta_a = 0 \dots 70^\circ\text{C}$	
Funktion		Äquivalenztyp		Äquivalenztyp		Äquivalenztyp
CPU – Zentrale Verarbeitungseinheit	UB 880 D	Z 80-CPU/PS (Zilog, USA)	VB 880 D	Z 80-CPU/PE (Zilog, USA)	UA 880 D	Z 80 A-CPU/PS (Zilog, USA)
PIO – Schaltkreis für parallele Ein-/Ausgabe	UB 855 D	Z 80-PIO/PS (Zilog, USA)	VB 855 D	Z 80-PIO/PE (Zilog, USA)	UA 855 D	Z 80 A-PIO/PS (Zilog, USA)
SIO – Schaltkreis für serielle Ein-/Ausgabe	UB 856 D	Z 80-SIO/PS (Zilog, USA)	VB 856 D	Z 80-SIO/PE (Zilog, USA)	UA 856 D	Z 80 A-SIO/PS (Zilog, USA)
DART – Asynchroner serieller Ein-/Ausgabeschaltkreis	UB 8563 D	Z 80-DART/PS (Zilog, USA)	VB 8563 D	Z 80-DART/PE (Zilog, USA)	UA 8563 D	Z 80 A-DART/PS (Zilog, USA)
CTC – Schaltkreis für Zähler- und Zeitgeberfunktion	UB 857 D	Z 80-CTC/PS (Zilog, USA)	VB 857 D	Z 80-CTC/PE (Zilog, USA)	UA 857 D	Z 80 A-CTC/PS (Zilog, USA)
DMA – programmierbarer Peripherieschaltkreis für direkten Speicherzugriff	UB 858 D	Z 80-DMA/PS (Zilog, USA)			UA 858 D	Z 80 A-DMA/PS (Zilog, USA)

Zentrale Verarbeitungseinheit – CPU
UA 880 D, UB 880 D, VB 880 D

Die CPU ist ein in n-Kanal-Silicon-Gate-Technologie hergestellter Einchip-Mikroprozessor. Sie ermöglicht den Auf-

bau von Mikroprozessorsystemen hoher Leistungsfähigkeit.

Folgende Varianten werden vom MME gefertigt:

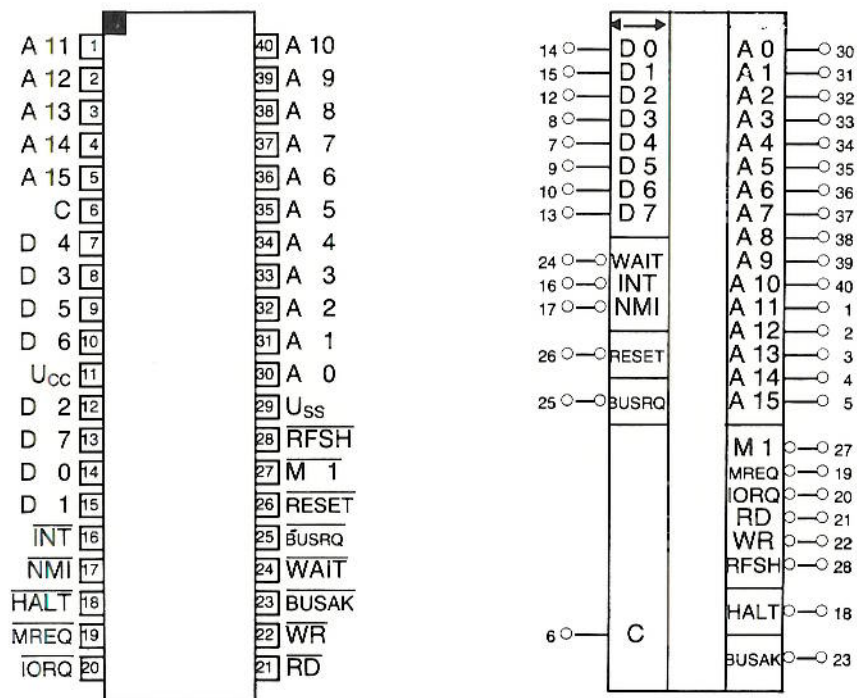
Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 880 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-CPU/PS (Zilog)
UB 880 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-CPU/PS (Zilog)
VB 880 D	2,5 MHz	$\vartheta_a = -25 \dots +85^\circ\text{C}$	Z 80-CPU/PE (Zilog)

Eigenschaften der CPU

- Der Befehlssatz enthält 158 Befehle mit 16-, 8-, 4- und Einzelbit-Instruktionen sowie zusätzliche Adressierungsweisen (indizierte, relative und bit-Adressierung).
- Die minimale Befehlsausführzeit der Typen UB 880 D und VB 880 D beträgt 1,6 μs bei einer maximalen Taktfrequenz von 2,5 MHz. Die minimale Befehlsausführzeit des UA 880 D beträgt 1 μs bei einer maximalen Taktfrequenz von 4 MHz.

- Die CPU enthält 21 interne Register und einen Befehlszähler.
- Es existieren: 3 schnelle Interrupt-Behandlungsarten und außerdem ein zusätzlicher, nicht maskierbarer Interrupt.
- 5 V – Einphasentakt und eine Standard – 5 V Gleichspannung
- Der Anschluß von dynamischen oder statischen Standardspeicherchips ist möglich.

- Integrierte dynamische Refresh-Hardware
- Die Eingänge sind voll TTL-kompatibel, die Ausgänge können eine Standard-TTL-Last treiben.



Die Anschlüsse haben folgende Funktion:

A0...A15 16bit-Adreßbus, Ausgänge

D0...D7 8bit bidirektionaler Datenbus

M1 Maschinenzklus M1, Ausgang

MREQ Speicheranforderung, Ausgang

IORQ Ein-/Ausgabe-Anforderung, Ausgang

RD Leseanforderung, Ausgang

WR Schreibanforderung, Ausgang

RFSH Refreshsignal, Ausgang

HALT CPU im Software-Halt-Zustand, Ausgang

WAIT Warteanforderung für die CPU, Eingang

INT Interruptanforderung, Eingang

NMI nicht maskierbare Interruptanforderung, Eingang

RESET Rücksetzen, Eingang

BUSRQ Bus-Anforderung, Eingang

BUSAK Bus-Anforderungsbestätigung, Ausgang

Befehlsgruppen

- 8bit Ladebefehle
- Registertausch
- 8bit arithmetische und logische Befehle
- Rotations- und Schiebefehle
- Ein- und Ausgabebefehle
- Rückkehrbefehle
- 16bit arithmetische Befehle
- 16bit Ladebefehle
- Blocktransport- und Suchbefehle
- Steuerbefehle
- Bitoperationen
- Rufbefehle
- Sprungbefehle

Aufbau des CPU-Registersatzes

Hauptregistersatz		Alternativsatz		
Akkumulator A	Flags F	Akkumulator A'	Flags F'	
B	C	B'	C'	} Register zur allgemeinen Verwendung
D	E	D'	E'	
H	L	H'	L'	
Interrupt Vektor I		Speicher Refresh R		
Indexregister		IX	} Spezialregister	
Indexregister		IY		
Kellerzeiger		SP		
Programmzähler		PC		

Bild 1:

Anschlußbelegung und Schaltungskurzzeichen

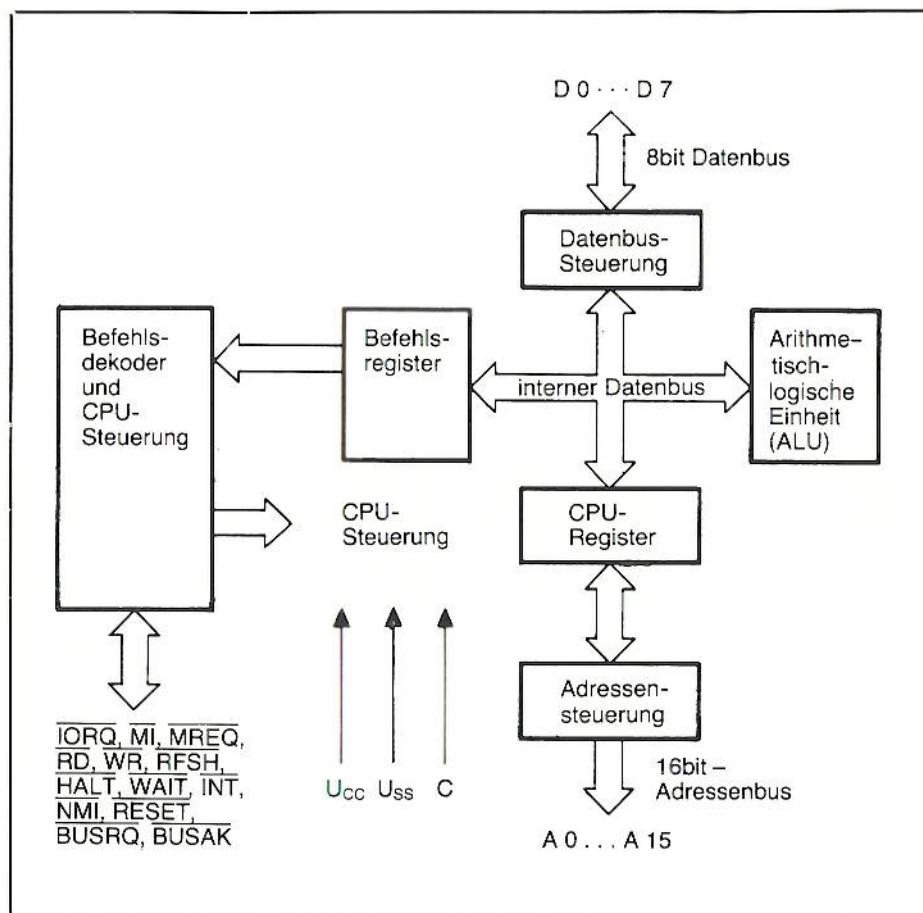


Bild 2:
Blockschaltbild der CPU

Schaltkreis für parallele Ein-/Ausgabe – PIO UA 855 D, UB 855 D, VB 855 D

Die PIO ist ein in n-Kanal-Silicon-Gate-Technologie hergestellter programmierbarer Ein-/Ausgabe-Baustein mit zwei TTL-kompatiblen Kanälen. Die

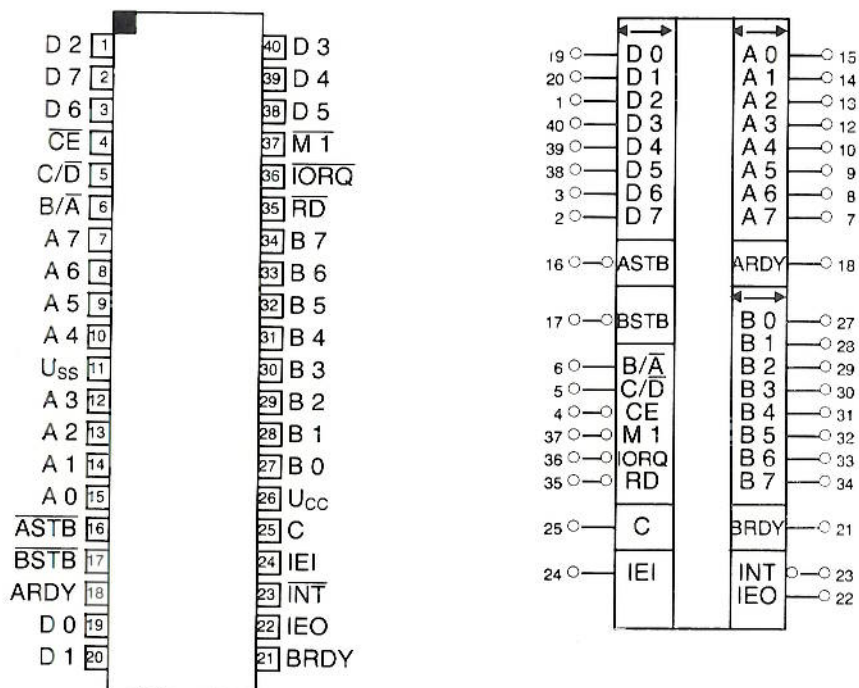
PIO stellt die Verbindung zwischen der CPU und peripheren Geräten her, ohne daß zusätzliche Logik erforderlich ist.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 855 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-PIO/PS (Zilog)
UB 855 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-PIO/PS (Zilog)
VB 855 D	2,5 MHz	$\vartheta_a = -25 \dots +85^\circ\text{C}$	Z 80-PIO/PE (Zilog)

Eigenschaften der PIO

- Interruptmöglichkeit im Quittungsbetrieb für schnelle Anforderungsbearbeitung
- Interruptbearbeitung kann den Bedingungen des peripheren Gerätes angepaßt programmiert werden.
- Folgende Betriebsarten sind möglich:
 - Byte-Ausgabe (Betriebsart 0)
 - Byte-Eingabe (Betriebsart 1)
 - Byte-Ein-/Ausgabe (bidirektionaler Betrieb, nur für Port A möglich) (Betriebsart 2)
 - Bit-Ein-/Ausgabe (Betriebsart 3)
- Ein- und Ausgänge sind TTL-kompatibel.
- automatische Interrupt-Vektorerzeugung und Prioritätskodierung durch Kaskadierung der Bausteine
- Ausgänge des Ports B sind für den direkten Anschluß von Darlington-Transistoren geeignet.



Die Anschlüsse haben folgende Funktion:

\overline{RD}	CPU-Leseanforderung, Eingang	\overline{IORQ}	CPU-Ein-/Ausgabe-Anforderung, Eingang
$\overline{B/A}$	Kanalauswahl, Eingang	\overline{BSTB}	Kanal B-Strobe, Eingang
$\overline{C/D}$	Umschaltung Steuerwort/Datenwort, Eingang	\overline{BRDY}	Kanal B-Quittung, Ausgang
\overline{CE}	Bausteinwahl, Eingang	\overline{INT}	Interrupt-Anforderung, Ausgang
$\overline{M1}$	CPU-Maschinenzyklus M 1, Eingang	\overline{ASTB}	Kanal A-Strobe, Eingang

Bild 3:
Anschlußbelegung und
Schaltungskurzzeichen

ARDY	Kanal A-Quittung, Ausgang
IEI	Interrupt-Freigabe, Eingang
IEO	Interrupt-Freigabe, Ausgang
A 0 ... A 7	Ein-/Ausgänge Port A
B 0 ... B 7	Ein-/Ausgänge Port B
D 0 ... D 7	8bit bidirektionaler Datenbus
C	Systemtakt

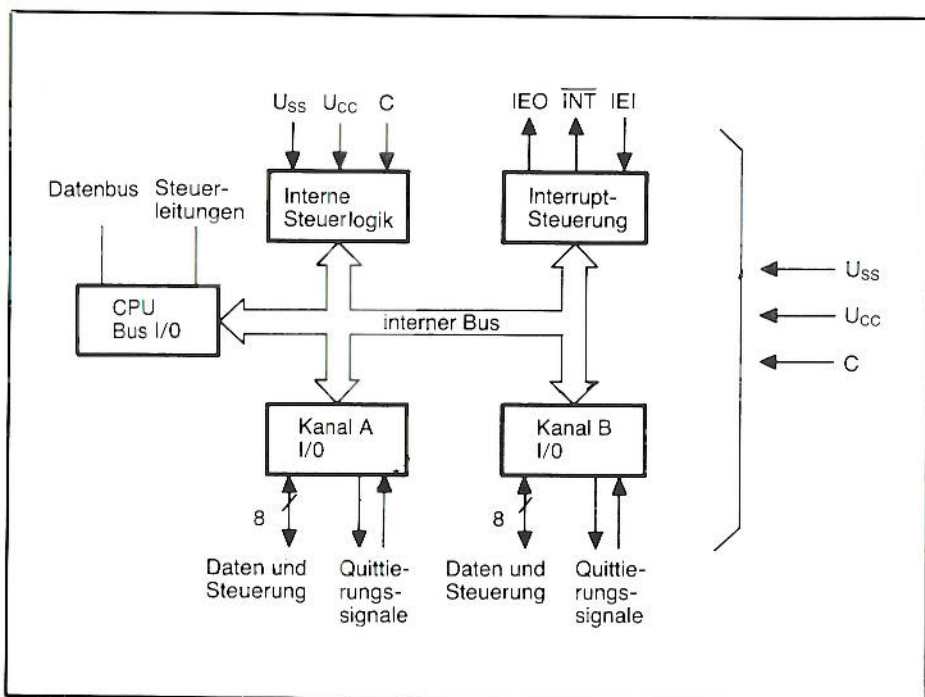


Bild 4:
Blockschaltbild der PIO

Schaltkreis für serielle Ein-/Ausgabe – SIO UA 856 D, UB 856 D, VB 856 D

Die SIO ist ein in n-Kanal-Silicon-Gate-Technologie hergestellter programmierbarer, zweikanaliger Baustein, der Daten in das für serielle Datenüber-

tragung erforderliche Format umsetzt. Sie kann asynchron, synchron und bit-orientiert synchron arbeiten.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 856 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-SIO/PS (Zilog)
UB 856 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-SIO/PS (Zilog)
VB 856 D	2,5 MHz	$\vartheta_a = -25 \dots +85^\circ\text{C}$	Z 80-SIO/PE (Zilog)

Eigenschaften der SIO

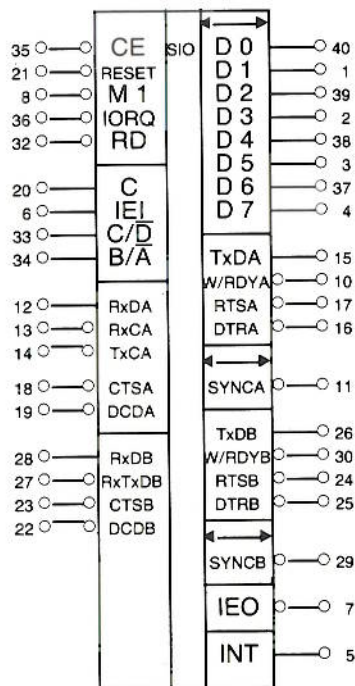
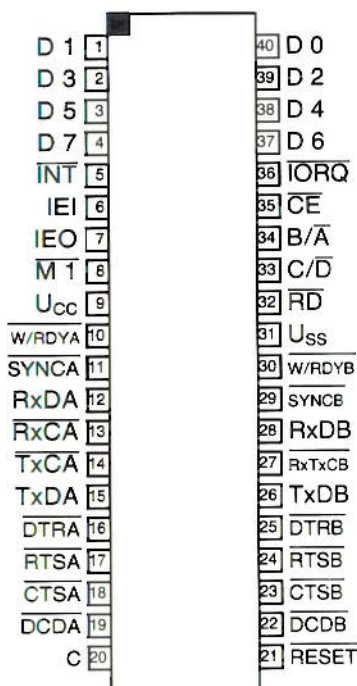
- vier unabhängige serielle Ports:
- zwei Sender- sowie Empfängerports
- asynchrone oder synchrone Arbeitsweise
- asynchrone Daten mit 5, 6, 7 oder 8 Datenbits, 1, 1½ oder 2 Stoppbits und gerader, ungerader oder keiner Paritätserzeugung bzw. Paritätsprüfung
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Break-Erzeugung und -Erkennung
- alle Eingänge und Ausgänge voll TTL-kompatibel
- Taktvarianten: x 1, x 16, x 32, x 64
- Datenübertragungsraten: 0 bis 550 kbit/s
- 4 Eingänge / 4 Ausgänge zur MODEM-Steuerung
- volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes

- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
- Betriebszustand „Adreßerkennung“ bei SDLC/HDLC
- Betriebszustand „Synchronisationsbyteunterdrückung“ mit mono- und bisynchroner Arbeitsweise
- Die hohen Übertragungsraten und die automatische CRC-Erzeugung gestatten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte, ohne daß direkter Speicherzugriff erforderlich ist
- Empfangene Daten und Fehlerregister sind vierfach, zu sendende Daten zweifach gepuffert
- Leistungsfähige Interrupt-Struktur durch wahlweise festen oder variablen Interrupt-Vektor
- CRC – 16 oder CRC – CCITT – (0 und –1) – Prüfpolynom

- gültig empfangene Daten vor Überschreiben geschützt
- 5 V – Einphasentakt und eine einzige 5 V – Gleichspannungsversorgung
- Prioritätslogik durch Kaskadierung der Bausteine

Bild 5:

Anschlußbelegung und Schaltungskurzzeichen (Bondvariante U 8560 D)



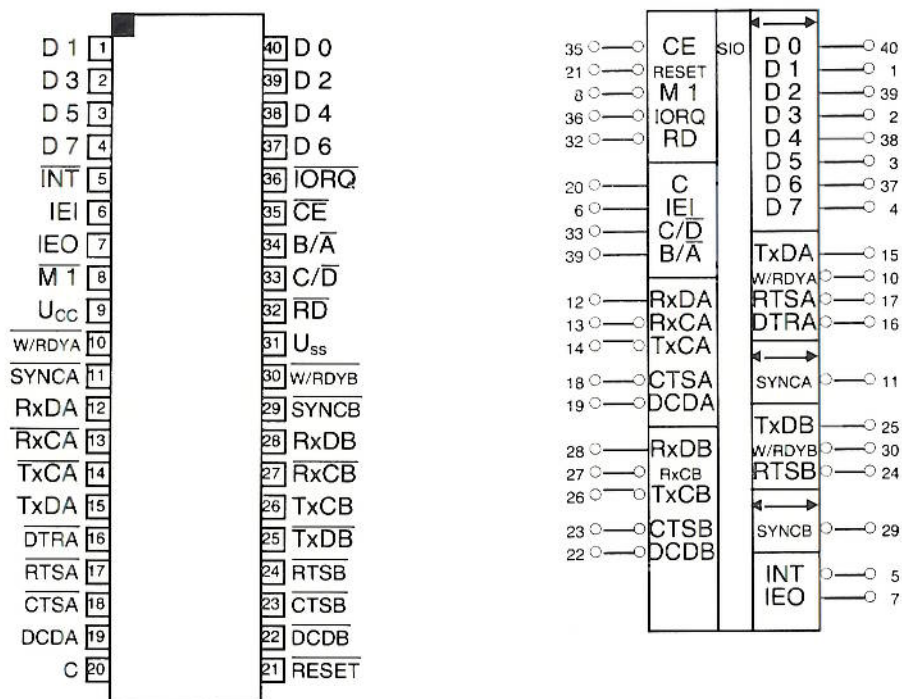


Bild 6:

Anschlußbelegung und Schaltungskurzzeichen (Bondvariante U 8561 D)

Die Anschlüsse haben folgende Funktion:

D 0 ... D 7	8bit bidirektionaler Datenbus	IEO	Interrupt-Freigabe, Ausgang
$\overline{\text{CE}}$	Bausteinauswahl, Eingang	INT	Interrupt-Anforderung, Ausgang
$\overline{\text{RESET}}$	Rücksetzen, Eingang	T x DA, T x DB	Sendedaten, Ausgänge
M 1	CPU-Maschinenzyklus M 1, Eingang	$\overline{\text{W/RDYA}}$	WAIT/READY-Pin (CPU WAIT, DMA-READY Kanal A), Ausgang
$\overline{\text{IORQ}}$	CPU-Ein-/Ausgabe-Anforderung, Eingang	$\overline{\text{W/RDYB}}$	WAIT/READY-Pin (CPU WAIT, DMA-READY Kanal B), Ausgang
$\overline{\text{RD}}$	CPU-Leseanforderung, Eingang	SYNCA	Externsynchronisation Kanal A, Ein-/Ausgang
R x DA, R x DB	Empfangsdaten, Eingänge	SYNCB	Externsynchronisation Kanal B, Ein-/Ausgang
$\overline{\text{R x CA}}, \overline{\text{R x CB}}$	Empfängertakte, Eingänge ¹⁾	RTSA, RTSB	Sendeanforderung
$\overline{\text{T x CA}}, \overline{\text{T x CB}}$	Sendertakte, Eingänge ¹⁾	C	Systemtakt
CTSA, CTSB	Sendebereitschaft, Eingänge	DTRA, DTRB	Bereitschaft Datenterminal, Ausgang
DCDA, DCDB	Datenträgererkennung, Eingänge		
$\overline{\text{B/A}}$	Kanalauswahl, Eingang		
$\overline{\text{C/D}}$	Umschaltung Steuerwort/Datenwort, Eingänge		
IEI	Interrupt-Freigabe, Eingang		

¹⁾ Empfänger- und Sendetakt Kanal B gemeinsam gebondet (U 8560 D), Pinbezeichnung: R x T x CB

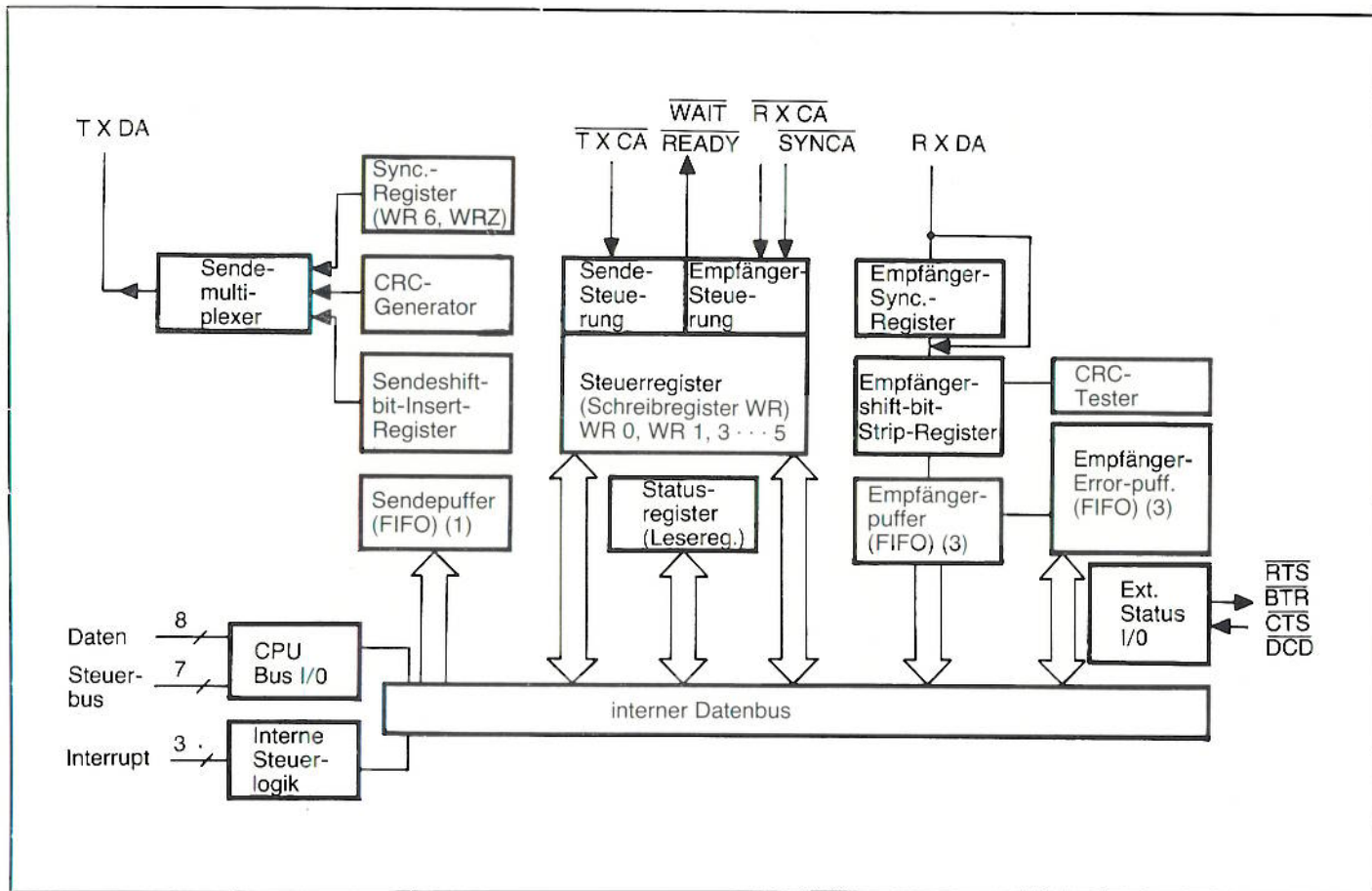


Bild 7:
Struktur eines SIO-Kanals

Asynchroner serieller
Ein-/Ausgabeschaltkreis – DART
UA 8563 D, UB 8563 D, VB 8563 D

Der DART ist ein in n-Kanal-Silicon-
Gate-Technologie hergestellter pro-

grammierbarer, zweikanaliger Bau-
stein, der Daten in das für serielle Da-

tenübertragung erforderliche Format
umsetzt. Er arbeitet nur asynchron.

Folgende Varianten werden vom MME
gefertigt:

Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 8563 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-DART/PS (Zilog)
UB 8563 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-DART/PS (Zilog)
VB 8563 D	2,5 MHz	$\vartheta_a = -25 \dots +85^\circ\text{C}$	Z 80-DART/PE (Zilog)

Eigenschaften des DART

- vier unabhängige serielle Ports:
- zwei Sender- sowie Empfängerports
- asynchrone Arbeitsweise
- asynchrone Daten mit 5, 6, 7 oder 8 Datenbits, 1, 1½ oder 2 Stoppbits und gerader, ungerader oder keiner Paritätserzeugung bzw. Paritätsprüfung
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Break-Erzeugung und -Erkennung
- alle Eingänge und Ausgänge voll TTL-kompatibel
- Taktvarianten: x 1, x 16, x 32, x 64
- Datenübertragungsraten: 0 bis 550 kbit/s
- 4 Eingänge/4 Ausgänge zur MODEM-Steuerung

- volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
- Betriebszustand „Adreßerkennung“ bei SDLC/HDLC
- Betriebszustand „Synchronisationsbyteunterdrückung“ bei mono- und bisynchroner Arbeitsweise
- Die hohen Übertragungsraten und die automatische CRC-Erzeugung gestatten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte, ohne daß direkter Speicherzugriff erforderlich ist

- Empfangene Daten und Fehlerregister sind vierfach, zu sendende Daten zweifach gepuffert
- leistungsfähige Interrupt-Struktur durch wahlweise festen oder variablen Interruptvektor
- CRC-16 oder CRC-CCITT – (0 und -1) – Prüfpolynom
- gültig empfangene Daten vor Übersprechen geschützt
- 5 V – Einphasentakt und eine einzige 5 V – Gleichspannungsversorgung
- Prioritätslogik durch Kaskadierung der Bausteine

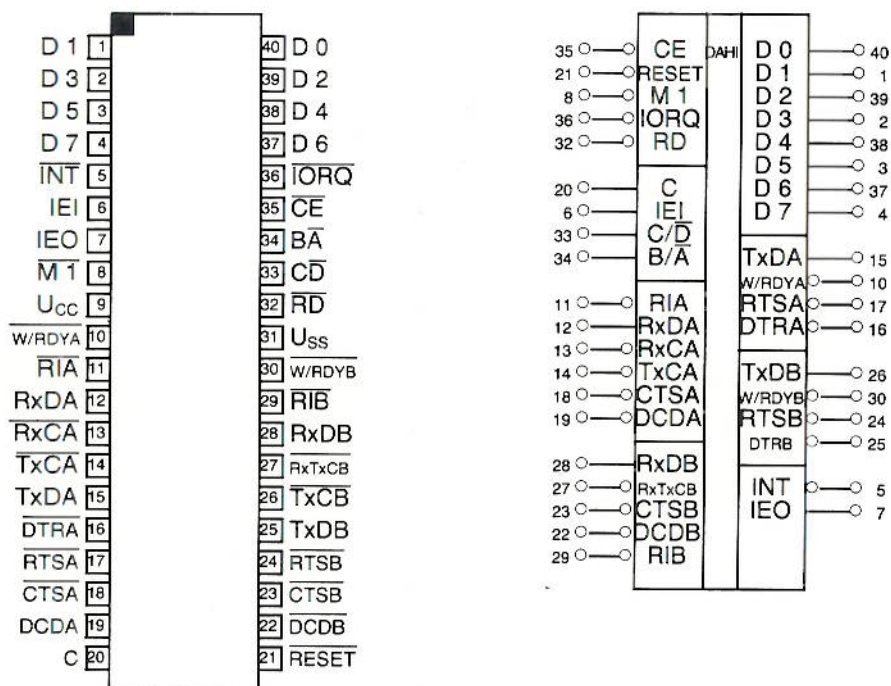


Bild 8:
Anschlußbelegung und Schaltungskurz-
zeichen

Die Anschlüsse haben folgende Funktion:

D 0 ... D 7	8bit bidirektionaler Datenbus	IEI	Interrupt-Freigabe, Eingang
CE	Bausteinauswahl, Eingang	IEO	Interrupt-Freigabe, Ausgang
RESET	Rücksetzen, Eingang	INT	Interrupt-Anforderung, Ausgang
M 1	CPU-Maschinenzyklus M 1, Eingang	T x DA, T x DB	Sendedaten, Ausgänge
IORQ	CPU-Ein-/Ausgabe-Anforderung, Eingang	W/RDYA	WAIT/READY-Pin (CPU WAIT, DMA-READY Kanal A), Ausgang
RD	CPU-Lese-Anforderung, Eingang	W/RDYB	WAIT/READY-Pin (CPU WAIT, DMA-READY Kanal B), Ausgang
R x DA, R x DB	Empfangsdaten, Eingänge	RIA	Ringindikator Kanal A, Eingang
R x CA	Empfängertakt, Eingang	RIB	Ringindikator Kanal B, Eingang
T x CA	Sendertakt, Eingang	RTSA, RTSB	Sendeanforderung, Ausgänge
CTSA, CTSB	Sendebereitschaft, Eingänge	C	Systemtakt
DCDA, DCDB	Datenträgererkennung, Eingänge	DTRA, DTRB	Bereitschaft Daten-terminal, Ausgang
R x T x CB	Empfänger- und Sendertakt Kanal B (gemeinsam gebondet)		
B/A	Kanalauswahl, Eingang		
C/D	Umschaltung Steuerwort/Datenwort, Eingang		

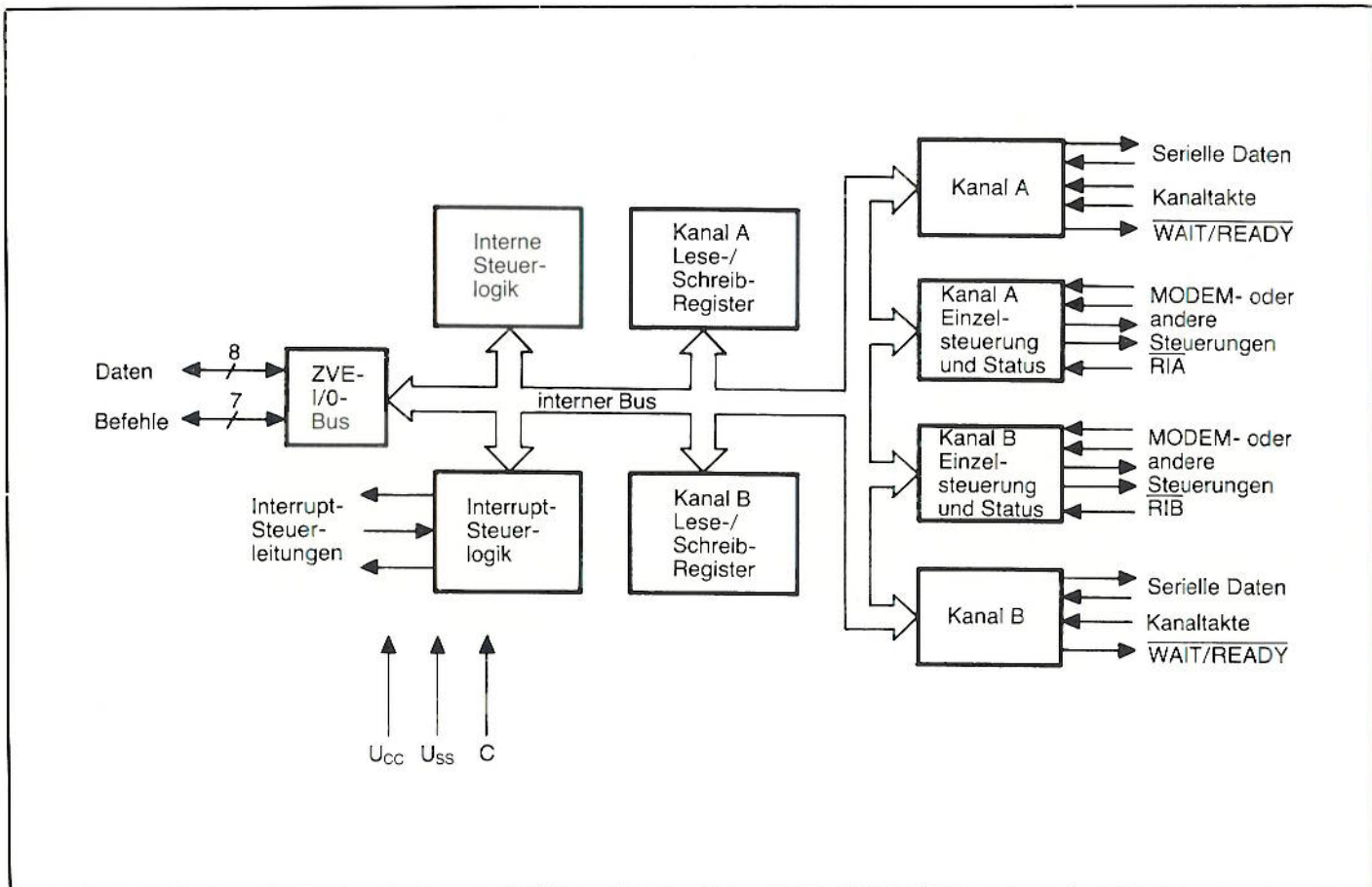


Bild 9:
Blockschaltbild der inneren Struktur
des Schaltkreises

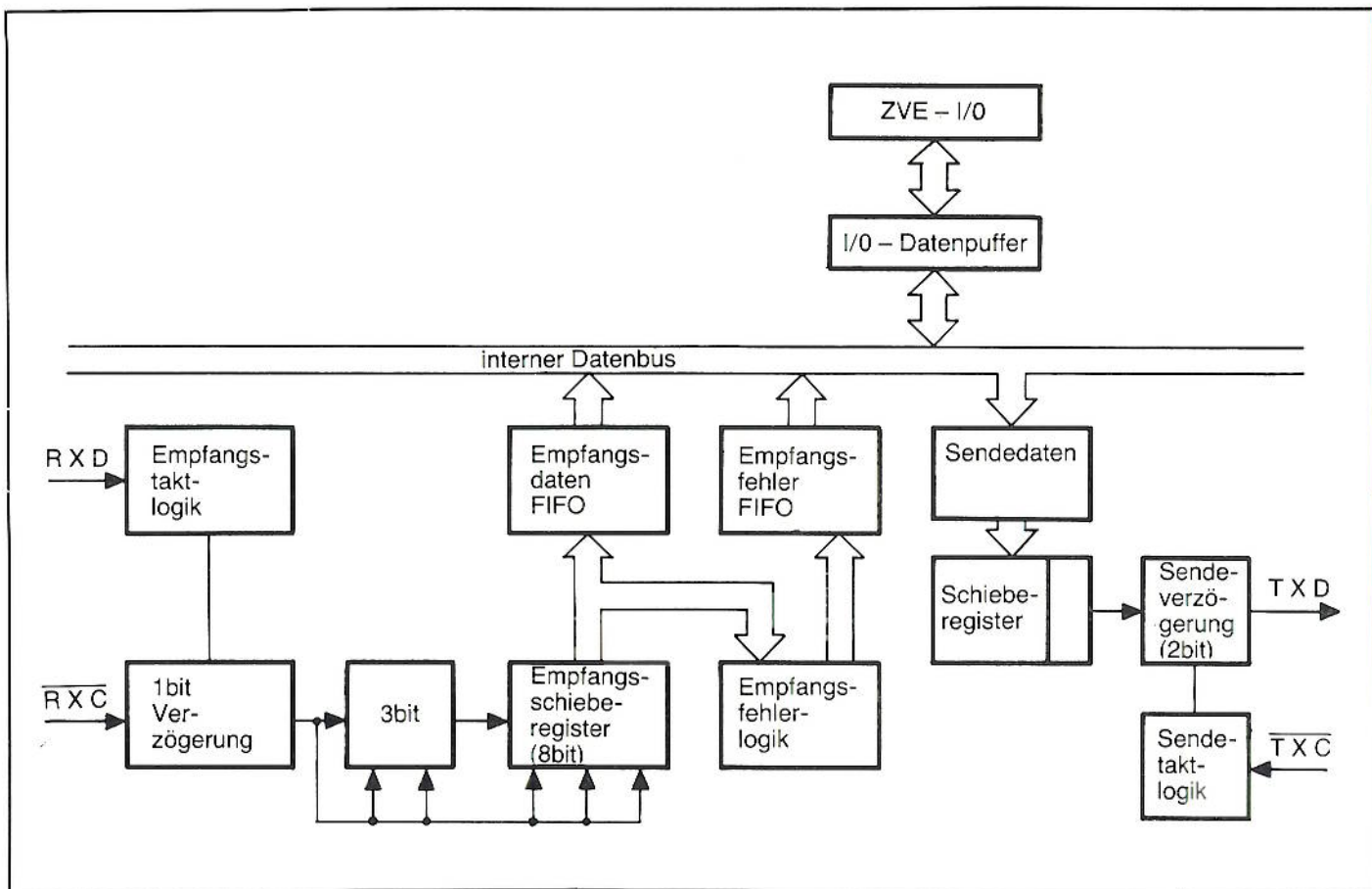


Bild 10:
Datenbusstruktur für einen Kanal

Schaltkreis für Zähler- und Zeitgeberfunktion – CTC
UA 857 D, UB 857 D, VB 857 D

Die CTC ist ein in n-Kanal-Silicon-Gate-Technologie hergestellter pro-

grammierbarer Zähler-/Zeitgeber-Baustein, der über vier voneinander unab-

hängige, softwareprogrammierbare Zähler-/Zeitgeberkanäle verfügt.

Folgende Varianten werden vom MME gefertigt:

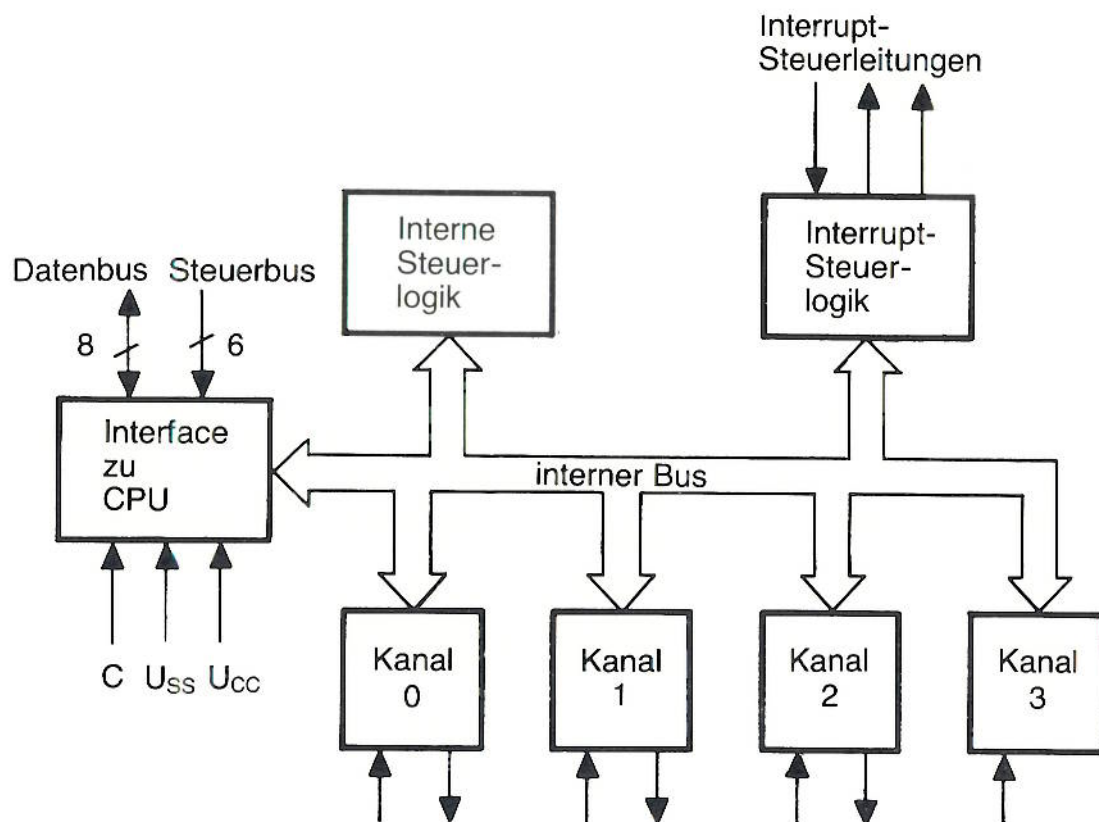
Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 857 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-CTC/PS (Zilog)
UB 857 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-CTC/PS (Zilog)
VB 857 D	2,5 MHz	$\vartheta_a = -25 \dots +85^\circ\text{C}$	Z 80-CTC/PE (Zilog)

Eigenschaften der CTC

- Alle Ein- und Ausgänge sind voll TTL-kompatibel.
- Es wird nur eine +5 V – Versorgungsspannung benötigt.
- Es existieren vier voneinander unabhängige, softwareprogrammierbare 8bit-Zähler, 16bit-Zeitgeber-Kanäle. Jeder dieser Kanäle kann wahlweise als Zähler oder Zeitgeber verwendet werden.
- In der Betriebsart Zeitgeber sind Vorteiler durch 16 oder 256 für jeden Zeitgeber-Kanal möglich.
- Es können Interrupts bei Erreichen von programmäßig festgelegten Zähler- oder Zeitgeberwerten programmiert werden.
- Automatische Interrupt-Vektor-Bereitstellung und Prioritätskodierung ohne zusätzlichen Schaltungsaufwand durch Kaskadierung der Bausteine.
- Die Ausgänge (ZC/TO 1...ZC/TO 3) der drei herausgeführten Kanäle sind zum Anschluß von Darlington-Transistoren geeignet.
- Die maximale Zählfrequenz bei der Betriebsart „Zähler“ ist $f_C/2$.

Der Zähler-/Zeitgeber-Baustein enthält folgende Funktionseinheiten (siehe Blockschaltbild):

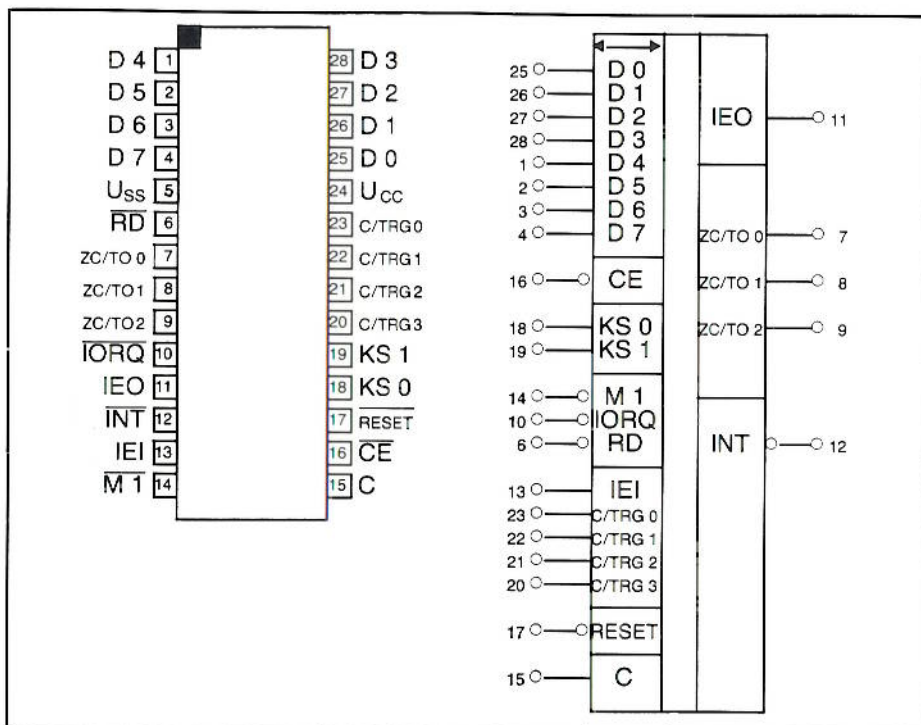
- Interface zu CPU
Die CTC kann direkt über die interne Bus-Interface-Logik an die CPU angeschlossen werden.
- Interne Steuerlogik
Über eine interne Steuerlogik wird der Daten- und Steuerbus mit den vier Zähler-/Zeitgeber-Kanälen der CTC synchronisiert.
- Interrupt-Steuerlogik
Die Interrupt-Steuerlogik behandelt die CPU-Interrupt-Strukturen entsprechend der festgelegten Priorität. Diese Priorität ist abhängig von der Stellung der CTC in der Prioritätskette. Jedem der vier Kanäle wird ein Interrupt-Vektor zugeordnet, wobei der Kanal 0 die höchste Priorität besitzt.
- 4 Zähler-/Zeitgeberkanäle
Jede Kanaleinheit besteht aus einem Zeitkonstantenregister (8 bit), einem Kanal-Steuerregister (8 bit), einem Rückwärtszähler (8 bit), einem Vorteiler und einer eigenen Steuerlogik. Der Vorteiler (8 bit) ist auf den Wert „16“ oder „256“ programmiert.



Die Anschlüsse haben folgende Funktion:

$\overline{\text{IORQ}}$	Ein-/Ausgabe-Anforderung, Eingang	$\overline{\text{RD}}$	CPU-Leseanforderung, Eingang
$\overline{\text{IEI}}$	Interrupt-Freigabe, Eingang	$\overline{\text{M1}}$	CPU-Maschinenzyklus, Eingang
$\overline{\text{IEO}}$	Interrupt-Freigabe, Ausgang	C	Systemtakt, Eingang
$\overline{\text{INT}}$	Interrupt-Anforderung, Ausgang	$\overline{\text{RESET}}$	Rücksetzeingang
		C/TRG 0	Takt- bzw. Triggereingang für den Kanal 0

Bild 11:
Blockschaltbild der CTC



C/TRG 1	Takt- bzw. Triggereingang für den Kanal 1
C/TRG 2	Takt- bzw. Triggereingang für den Kanal 2
C/TRG 3	Takt- bzw. Triggereingang für den Kanal 3
$\text{D0} \dots \text{D7}$	8bit Datenbus, Ein-/Ausgänge, Tristate
ZC/TO 0	Nulldurchgang des Rückwärtszählers bzw. Zeitgebermeldung für den Kanal 0
ZC/TO 1	Nulldurchgang des Rückwärtszählers bzw. Zeitgebermeldung für den Kanal 1
ZC/TO 2	Nulldurchgang des Rückwärtszählers bzw. Zeitgebermeldung für den Kanal 2
KS0, KS1	Kanalauswahl, Eingabe einer 2bit Adresse, des vom Mikroprozessor angesprochenen Kanals

Bild 12:
Anschlußbelegung und Schaltungskurzzeichen

Schaltkreis für direkten Speicherzugriff

– DMA UA 858 D, UB 858 D

Die DMA ist ein in n-Kanal-Silicon-Gate-Technologie hergestellter Bau-

stein für den direkten Datentransfer zwischen verschiedenen Speicherberei-

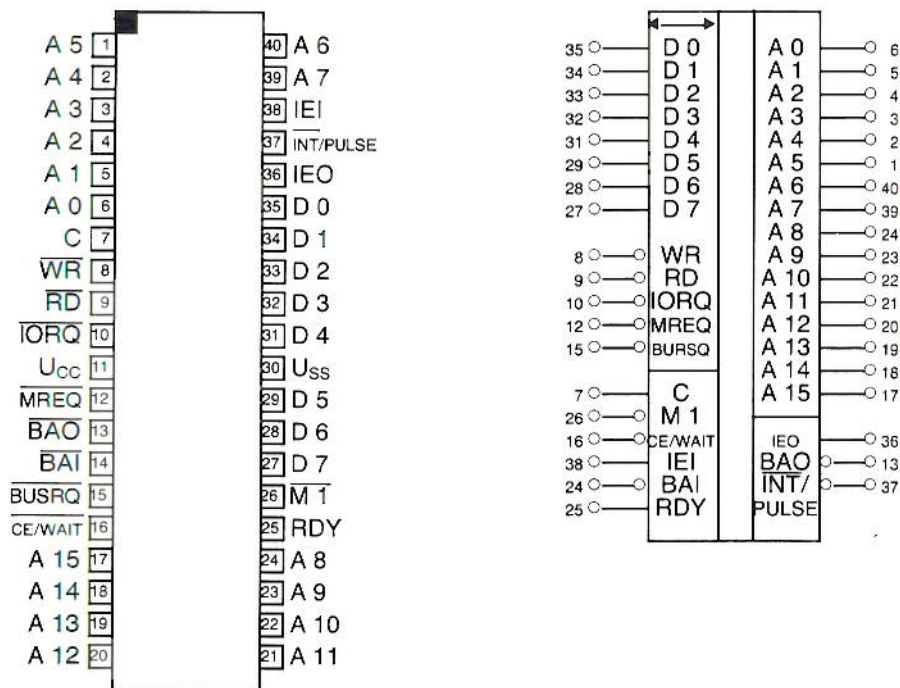
chen oder Peripheriegeräten und dem Speicher.

Folgende Varianten werden vom MME gefertigt:

Typ	Taktfrequenz	Betriebstemperaturbereich	Vergleichstyp
UA 858 D	4 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80 A-DMA PS (Zilog)
UB 858 D	2,5 MHz	$\vartheta_a = 0 \dots 70^\circ\text{C}$	Z 80-DMA PS (Zilog)

Eigenschaften der DMA

- Sie liefert als Einkanal-Schaltkreis alle Adressen-, Zeit- und Kontrollsignale für den Transfer von Datenblöcken zwischen zwei Toren des UA 880-/UB 880-Systems und/oder das Prüfen von Blöcken auf bestimmte Bytes.
- Vollgepufferte Adressen- und Blocklängenregister vorhanden, d. h. die Daten für die nächste Operation können geladen werden, ohne die momentanen Daten zu zerstören.
- Während eines Transfers wird eine Adresse für die Lese- und eine für die Schreiboperation erzeugt.
- Eine vollständig ausgeführte Operation kann automatisch oder auf Befehl wiederholt werden („Auto restart“ oder „Load“).
- Das Zeitverhalten der Tore ist programmierbar (Anpassung an die Geschwindigkeit angeschlossener peripherer Geräte).
- Die DMA kann softwaremäßig freigegeben, gesperrt oder rückgesetzt werden.
- Prioritätskaskadierung der Bausteine bei mehreren DMA-Kanälen
- Suchraten bis zu 2 MByte möglich
- Sie kann ohne Unterbrechung des Transfers signalisieren, daß eine bestimmte Anzahl von Bytes übertragen worden ist.
- Operationsmodes:
 - 1 Byte-Übertragung (es wird 1 Byte pro $\overline{\text{BUSRQ}}$ -Anforderung übertragen)
 - peripheriegesteuerte Operation „burst“ (die Operation läuft, solange die Peripherie das READY-Signal aktiv hält)
 - programmgesteuerte Operation „continous“ (die Operation läuft bis ein Block mit im Programm festgelegter Länge abgearbeitet ist)
- Interrupt nach:
 - Blockende
 - Auffinden eines bestimmten Bytes
 - READY aktiv programmierbar



Die Anschlüsse haben folgende Funktion:

A 0 ... A 15 16bit-Adreßbus-Ausgänge

D 0 ... D 7 8bit bidirektionaler Datenbus

WR Schreibenanforderung

RD Leseanforderung

IORQ Ein-/Ausgabe-Anforderung, Eingang

MREQ Speicheranforderung

BAO Busanforderungsbestätigung, Ausgang

BAI Busanforderungsbestätigung, Eingang

BUSRQ

CS/WAIT

IEI

IEO

INT

M 1

C

RDY

Busanforderung

Bausteinauswahl

Interrupt-Freigabe, Eingang

Interrupt-Freigabe, Ausgang

Interrupt-Anforderung, Eingang

Maschinenzyklus M 1, Ausgang

Systemtakt

Bereitschaftssignal (Eingang, aktiv L oder H programmierbar)

Bild 13:

Anschlußbelegung und Schaltungskurzzeichen

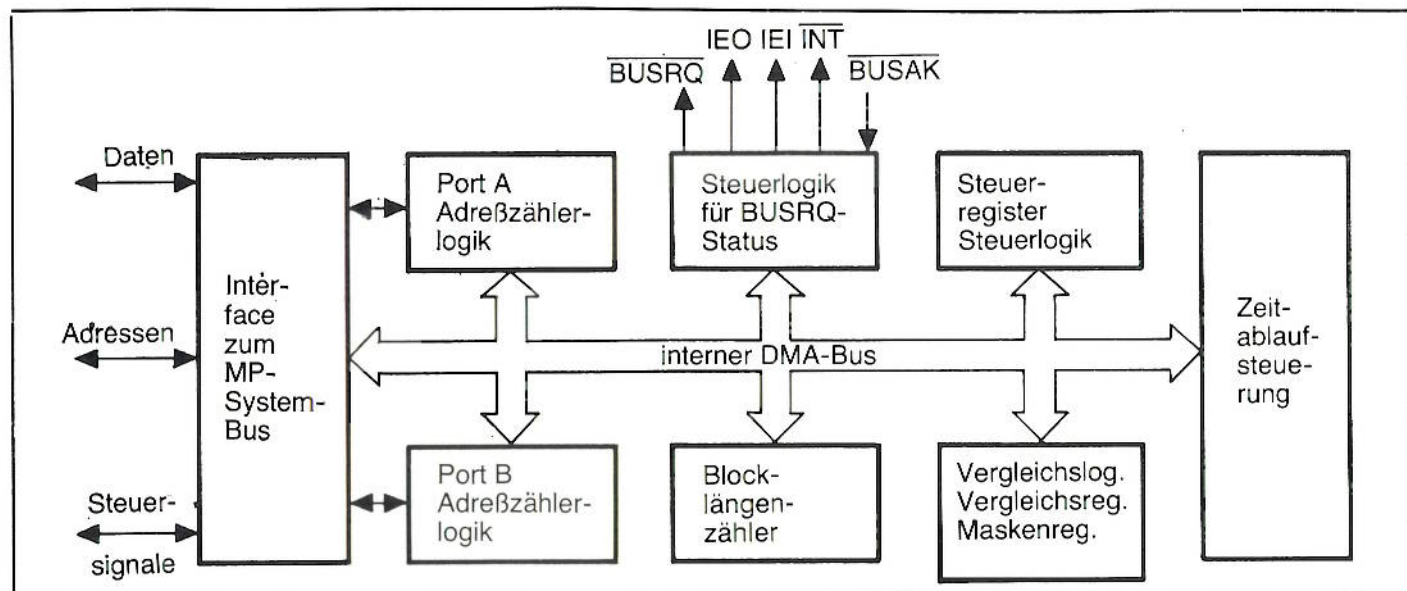


Bild 14:

Blockschaltbild der DMA

Grenzwerte

(Bezugspotential $U_{SS} = 0 \text{ V}$)

Kennwert	Kurz- zeichen	Meßbedingung	min.	typ.	max.	Einheit
Betriebsspannung	U_{CC}		-0,5		7	V
Eingangsspannung	U_I		-0,5		7	V
Betriebstemperatur	ϑ_a		0		70	°C
Lagertemperatur	ϑ_{stg}		-55		125	°C
Verlustleistung	P_V	$\vartheta_a = 25 \text{ °C}$			1,1	W

Statische Kennwerte

($\vartheta_a = 0 \dots 70 \text{ °C}$;

Bezugspotential $U_{SS} = 0 \text{ V}$)

Kennwert	Kurz- zeichen	Meßbedingung	min.	typ.	max.	Einheit
Betriebsspannung	U_{CC}		4,75	5	5,25	V
Eingangsspannung Low	U_{IL}		-0,5		0,8	V
Eingangsspannung High	U_{IH}		2,0		U_{CC}	V
Takteingangsspannung Low	U_{ILC}		-0,5		0,45	V
Takteingangsspannung High	U_{IHC}		$U_{CC} - 0,2$		U_{CC}	V
Ausgangsspannung Low	U_{OL}	$I_{OL} = 1,8 \text{ mA}$			0,4	V
Ausgangsspannung High	U_{OH}	$I_{OH} = -0,25 \text{ mA}$	2,4			V

Dynamische Betriebsbedingungen

UA 880 D, UA 855 D, UA 856 D,

UA 8563 D, UA 857 D, UA 858 D

($U_{CC} = 4,75 \dots 5,25 \text{ V}$; $U_{SS} = 0 \text{ V}$)

Kennwert	Kurz- zeichen	Meßbedingung	min.	typ.	max.	Einheit
Taktperiode	t_C		250		1)	ns
High-Breite des Taktes	$t_W \text{ (CH)}$		105		2000	ns
Low-Breite des Taktes	$t_W \text{ (CL)}$		105		2000	ns
Anstiegs- und Abfallzeiten des Taktes	$t_r; t_f$				20	ns

UB 880 D, VB 880 D, UB 855 D,

VB 855 D, UB 856 D, VB 856 D,

UB 8563 D, VB 8563 D, UB 857 D,

VB 857 D, UB 858 D

($U_{CC} = 4,75 \dots 5,25 \text{ V}$; $U_{SS} = 0 \text{ V}$)

Kennwert	Kurz- zeichen	Meßbedingung	min.	typ.	max.	Einheit
Taktperiode	t_C		400		1)	ns
High-Breite des Taktes	$t_W \text{ (CH)}$		180		2000	ns
Low-Breite des Taktes	$t_W \text{ (CL)}$		180		2000	ns
Anstiegs- und Abfallzeiten des Taktes	$t_r; t_f$				30	ns

1) $t_C = t_W \text{ (CH)} + t_W \text{ (CL)} + t_r + t_f$



veb mikroelektronik · karl marx · erfurt stammbetrieb

DDR- 5010 Erfurt, Rudolfstraße 47
Telefon: 5 80, Telex: 061 306

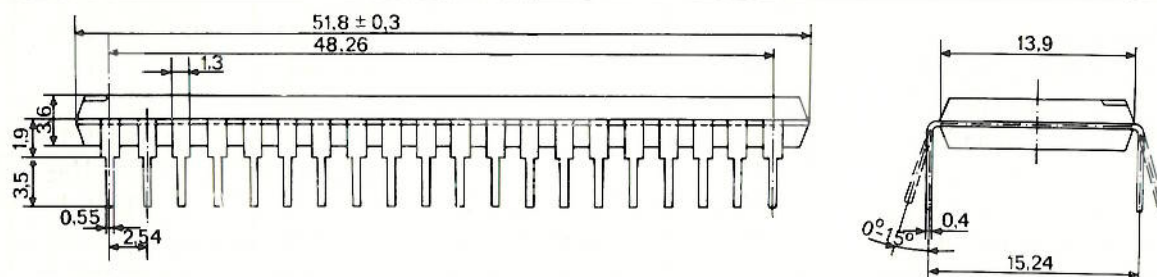


Bild 15:
Gehäuseabmessungen U 880 D,
U 855 D, U 856 D, U 8563 D, U 858 D

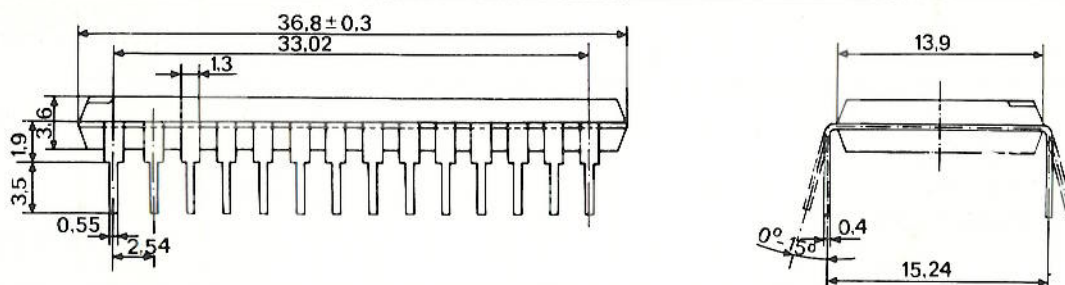


Bild 16:
Gehäuseabmessungen U 857 D

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung. Ausführliche Informationen enthalten die Technischen Beschreibungen des VEB MME.

Hinweis!

Die Behandlungsvorschriften für MOS-Bauelemente müssen unbedingt eingehalten werden, da andernfalls eine Reklamation nicht anerkannt werden kann.