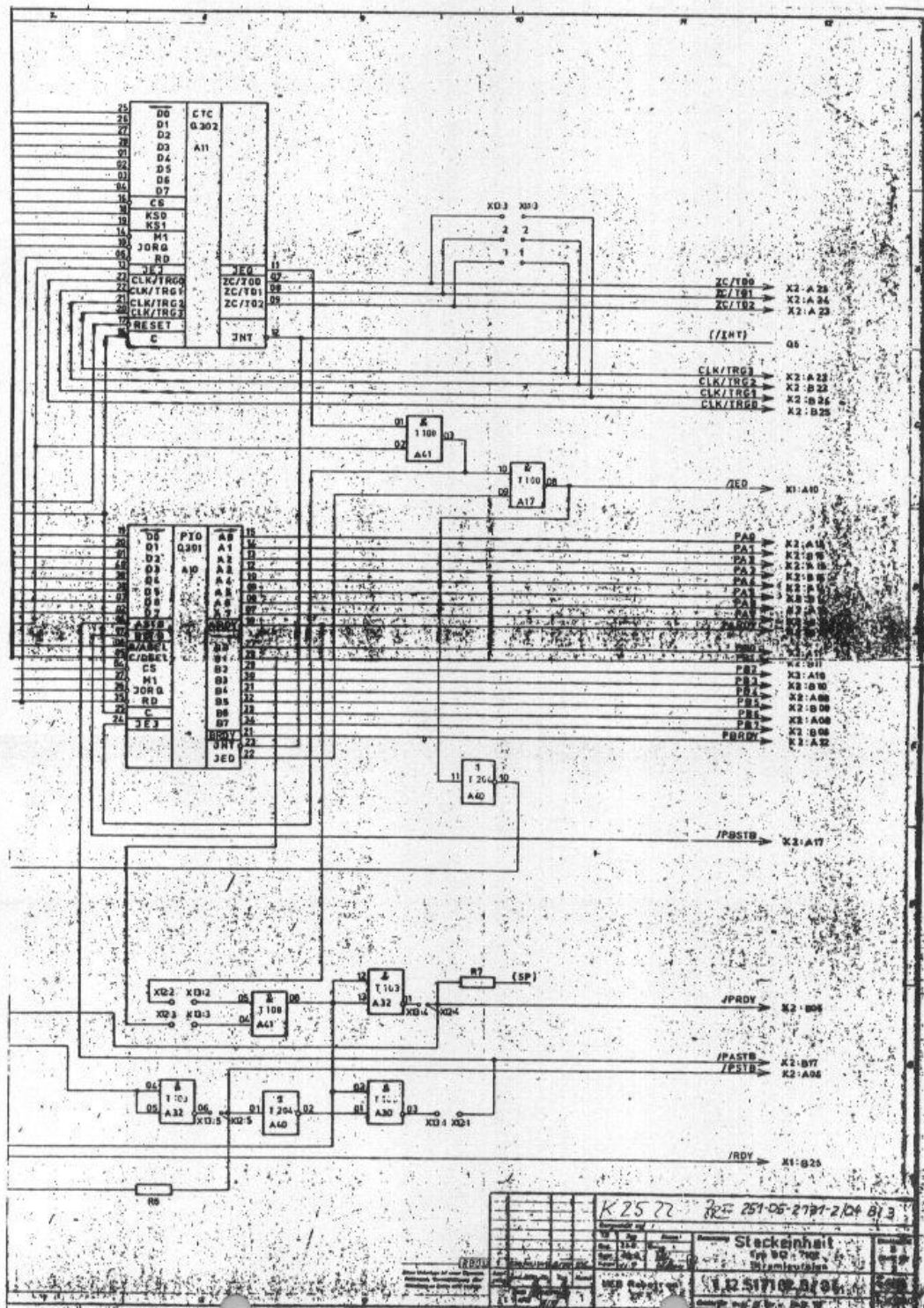
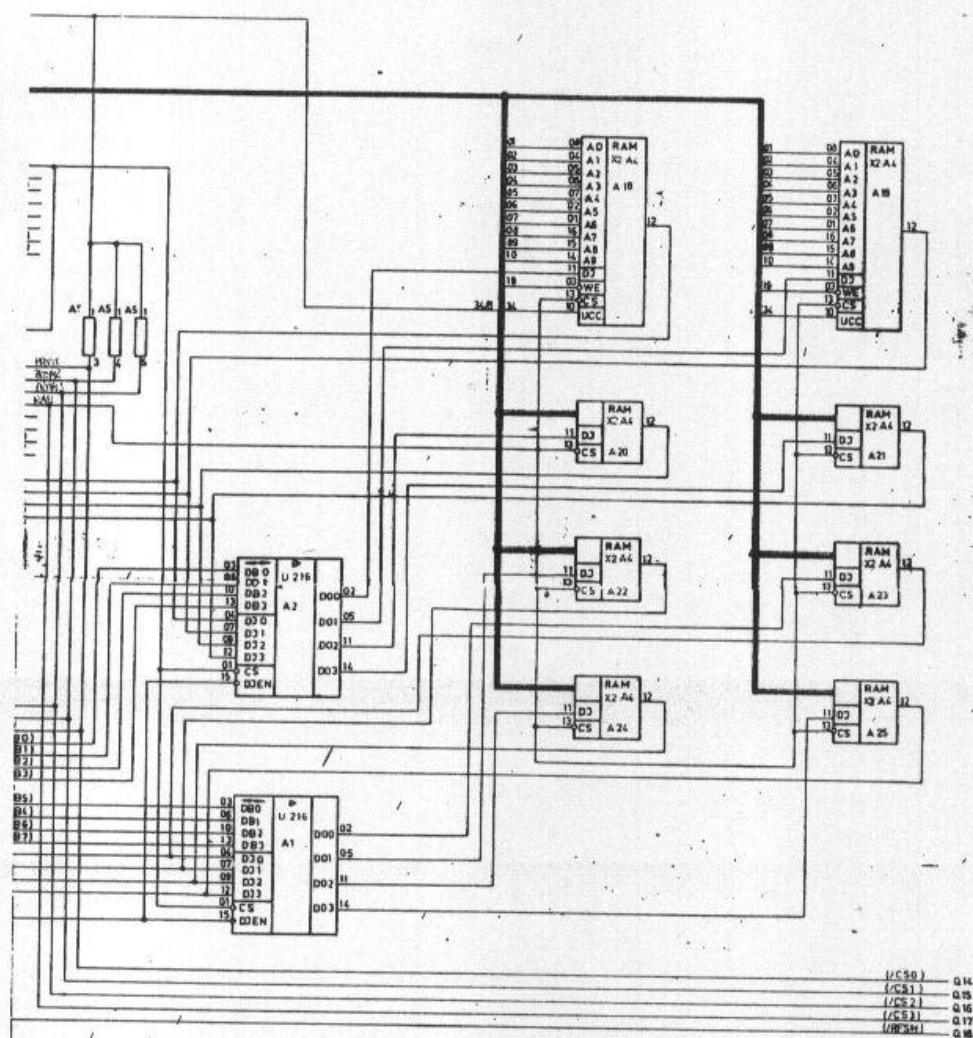


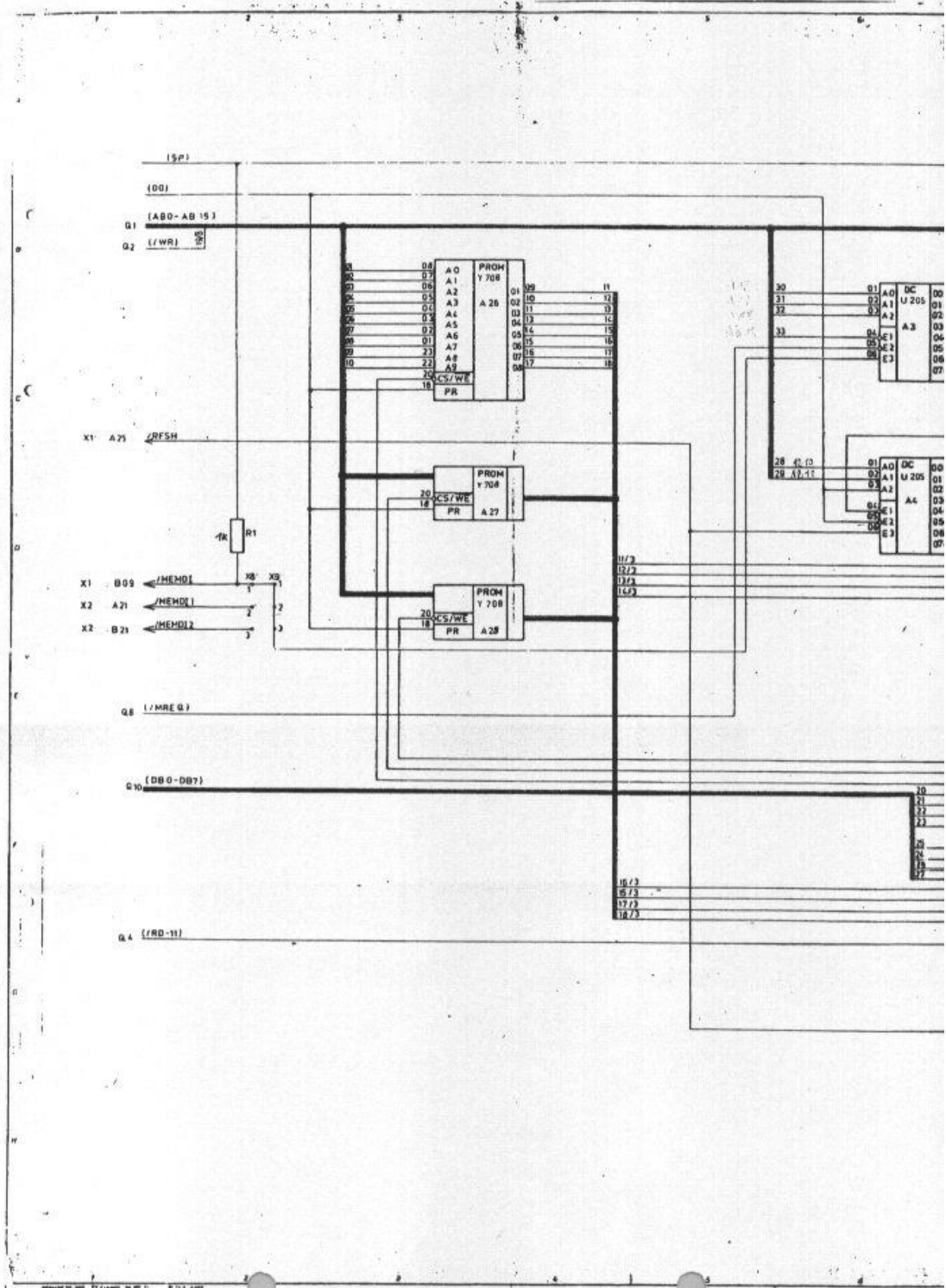
Blatt 3

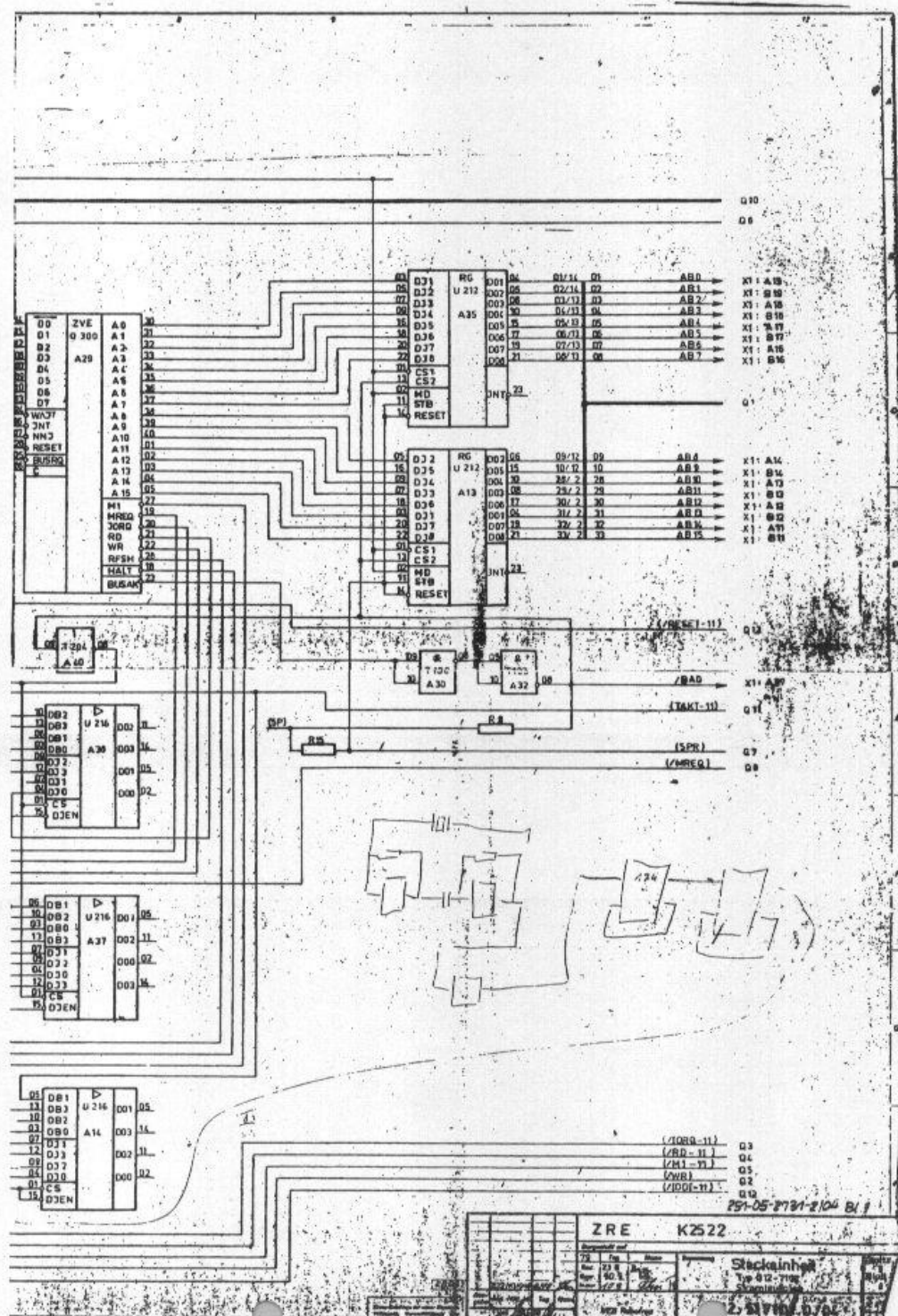


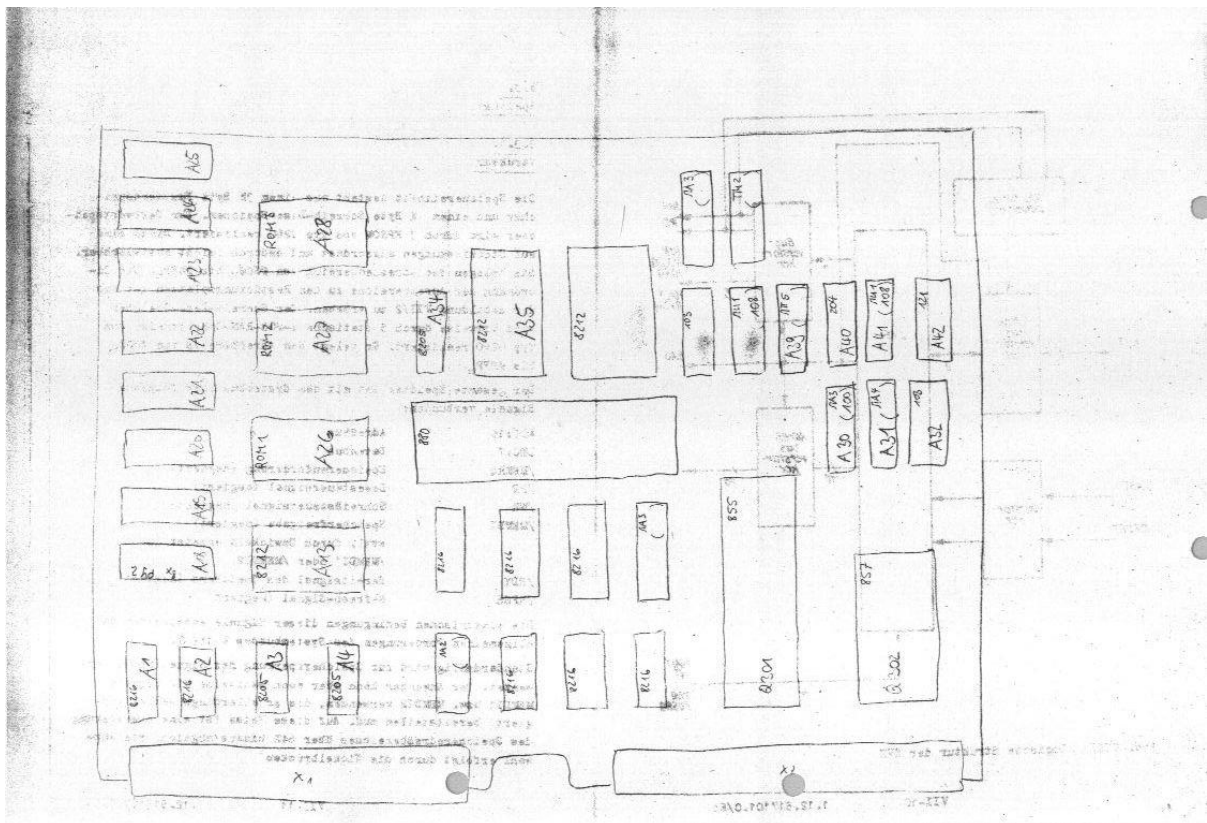
Blatt 2 / 2



1		2		3		4		5		6		7		8		9		10		11		12		13		14		15		16		17		18		19		20		21		22		23		24		25		26		27		28		29		30		31		32		33		34		35		36		37		38		39		40		41		42		43		44		45		46		47		48		49		50		51		52		53		54		55		56		57		58		59		60		61		62		63		64		65		66		67		68		69		70		71		72		73		74		75		76		77		78		79		80		81		82		83		84		85		86		87		88		89		90		91		92		93		94		95		96		97		98		99		100	
1		2		3		4		5		6		7		8		9		10		11		12		13		14		15		16		17		18		19		20		21		22		23		24		25		26		27		28		29		30		31		32		33		34		35		36		37		38		39		40		41		42		43		44		45		46		47		48		49		50		51		52		53		54		55		56		57		58		59		60		61		62		63		64		65		66		67		68		69		70		71		72		73		74		75		76		77		78		79		80		81		82		83		84		85		86		87		88		89		90		91		92		93		94		95		96		97		98		99		100	







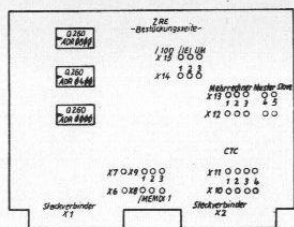
Betriebsdokumentation
K 1520
Heft 1
Korrekturblatt

Ausgabe: 1/84

In der Ihnen übergebenen Betriebsdokumentation K 1520, Heft 1
werden folgende Korrekturen wirksam:

Seite Korrekturen

VII-12 neue Zeichnung
Abb. VII/2



VII - 15 Pkt. 3.4.2.3 folgender Text kommt hinzu:
X 10 : 4 - X 11 : 4 : Masse CLK / TRG Ø

- Verwendung zur Mehrrechner-Kopplung

Die Mehrrechnerkopplung verwendet einen Koppelbus aus 8 Datenleitungen, 2 Datensynchronisationsleitungen, 7 Leitungen zur Adressierung, Quittierung und Statuskennzeichnung, eine Leitung zur Verbindung der /RESET-Signale und (bei Verwendung eines zentralen Taktgenerators) eine Leitung zur Verteilung des zentralen Taktes. Sie sind logisch und elektrisch aufeinander abgestimmt und werden über alle vier Rechner durchgehend verdrahtet. Konstruktiv sind die Signale wie folgt angeordnet:

Signalname	Klemme der Steckereinheit	
PA0	X2:A16	- Datenleitungen
PA1	X2:B16	
PA2	X2:A15	
PA3	X2:B15	
PA4	X2:A14	
PA5	X2:B14	
PA6	X2:A13	
PA7	X2:B13	
/PRDY	X2:B06	- Datensynchronisations- leitungen
/PSTB	X2:A06	
PB0	X2:A11	Statuskennzeichnung
PB2	X2:A10	
PB3	X2:B10	- Leitungen zur Adressierung und Quittierung
PB4	X2:A09	
PB5	X2:B09	
PB6	X2:A08	
PB7	X2:B08	
/RESET	X2:B05	Rücksetzen des Mehr- rechnersystems
TAKT0	X2:B04	Zentraler Takt des Mehrrechnersystems (falls verwendet)

VII-20

1.12.517101.0/61

3.5.

Parallele Ein/Ausgabe

3.5.1.

Struktur

Die Schaltung zur parallelen Ein- und Ausgabe besteht aus dem Schaltkreis Q301, einer Ergänzungselektronik und einer Koppel-elektronik. Die Ergänzungselektronik dient der Anpassung des Q301 an die elektrischen und logischen Bedingungen des System-busses K 1520. Sie wird bei den Typen K 2521 und K 2522 mit dem Q302 gemeinsam genutzt und besteht aus Datenverstärkern mit Richtungssteuerlogik, Adressenentschlüsselung zur Bildung der CS-Signale und des RDY-Signals, der Auswahl des ISI-Signals mit einer Look-Ahead-Carry-Schaltung sowie einigen Verstärkern. Der Q301 kann zur Kopplung von bis zu vier K 1520 benutzt werden. Er besitzt dazu eine Koppel-elektronik zur Synchronisierung des Datenaustausches. Diese kann durch Wickelverbindungen vom Q301 getrennt oder für die Verwendung als Master- bzw. Slave-Rechner verdrahtet werden (siehe Abb. VII/2 und Tabelle 1).

Tabelle 1:

Festlegung des Regimes der ZRE durch die Wickelbrücken X12/X13

Regime	X12:1	:2	:3	:4	:5
	X13:1	:2	:3	:4	:5
Einzelrechner					
Mehrrechner Master	x	x	x	x	
Mehrrechner Slave	x	x	x		x

x = Wickelbrücke vorhanden

VII-18

1.12.517101.0/61

3.5.2.

Anschlußbedingungen

3.5.2.1.

Systembus

Die elektrischen und logischen Bedingungen der Ein-/Ausgabe entsprechen denen des Systembusses K 1520, lt. TGL 37271.

3.5.2.2.

Koppelbus

- Verwendung zur parallelen Ein- und Ausgabe

Die elektrischen und logischen Bedingungen entsprechen denen des Schaltkreises Q301. Konstruktiv sind Signale wie folgt angeordnet:

Q301-Bezeichnung	Signalname	Klemme der Steckereinheit
A0	PA0	X2:A16
A1	PA1	X2:B16
A2	PA2	X2:A15
A3	PA3	X2:B15
A4	PA4	X2:A14
A5	PA5	X2:B14
A6	PA6	X2:A13
A7	PA7	X2:B13
ARDY	PARDY	X2:B12
/ASTB	/PASTB	X2:B17
B0	PB0	X2:A11
B1	PB1	X2:B11
B2	PB2	X2:A10
B3	PB3	X2:B10
B4	PB4	X2:A09
B5	PB5	X2:B09
B6	PB6	X2:A08
B7	PB7	X2:B08
BRDY	PBRDY	X2:A12
/BSTB	/PBSTB	X2:A17

VII-19

1.12.517101.0/61

1.12.517101.0/61

X8:1 - X9:1 für /MEMDI
 X8:2 - X9:2 für /MEMDI1
 X8:3 - X9:3 für /MEMDI2

Deren Lage ist in Abb. VII/2 erkennbar.

Abb. VII/3 zeigt die Blockstruktur der Speichereinheit.

3.3.2.

Funktion

Die Aktivierung des Speichers erfolgt durch /MREQ = low, falls AB12 bis AB15 low /RFSH, /MEMDI bzw. /MEMDI1 bzw. /MEMDI2 (je nach Verdrahtung) high sind. Daraufhin wird das Signal /RDY (offener Kollektor) auf low gezogen, die Decodierung der Adreßbits AB10 und AB11 sowie der Datenbusverstärker aktiviert. Dabei werden vier CS-Signale gebildet, die zur Ansteuerung der vier 1K Byte-Speichermatrizen dienen. Auf welches Byte innerhalb der Matrix zugegriffen wird, entscheiden die die Speicherschaltkreise direkt steuernden Adreßbits ABO bis AB9. Beim RAM bewirkt das Signal /WR = low das Einschreiben der verstärkten Datenbusse DBO bis DB7 in den Speicher. Dabei ist der DB-Puffer durch /RD = high in Richtung zum Speicher gesteuert und legt die Daten an dessen Eingänge. Beim Lesen wird der DB-Puffer durch /RD = low in Richtung Systembus gesteuert und das von der mit CS aktivierten Speichermatrix gelieferte Datenbyte verstärkt.

3.4.

Zähler/Zeitgeber

Der Zähler/Zeitgeber ist nur auf den Typen K 2521 und K 2522 realisiert.

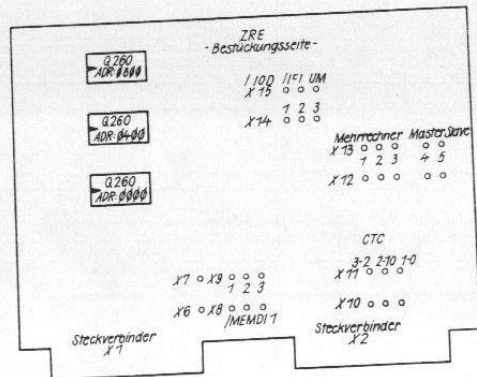


Abb. VII/2 Zentrale Bedieneinheit K 2521 ... K 2524
Adresszuordnung der PROM-Plätze und
Anordnung der Wickelbrücken

VII-13

1.12.517101.0/61

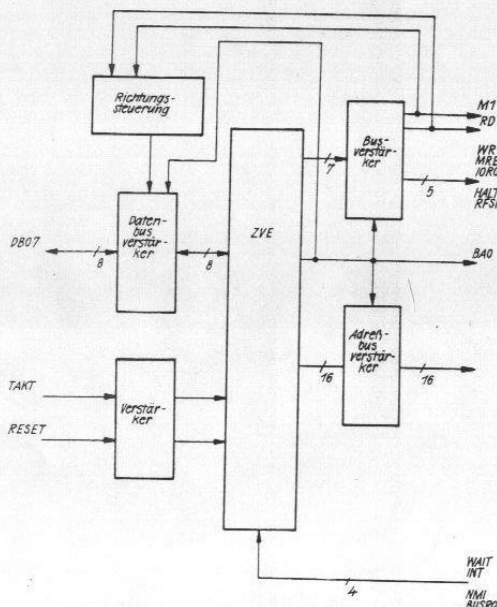


Abb. VII/1 Logische Struktur der ZVE

VII-10

1.12.517101.0/61

3.3.

Speicher

3.3.1.

Struktur

Die Speichereinheit besteht aus einem 3K Byte Festwertspeicher und einem 1K Byte Schreib-Lese-Speicher. Der Festwertspeicher wird durch 3 EPROM vom Typ 0260 realisiert. Diese sind auf Steckfassungen angeordnet und dadurch leicht austauschbar. Sie belegen den Adressbereich von 0000H bis 0FFFH. Die Zuordnung der Adressbereiche zu den Bestückungsplätzen ist aus der Abbildung VII/2 zu ersehen. Der Schreib-Lese-Speicher wird bitweise durch 8 statische n-MOS-RAM-Schaltkreise vom Typ 0240 realisiert. Er belegt den Adressbereich von 0000H bis 0FFFH.

Der gesamte Speicher ist mit dem Systembus über folgende Signale verbunden:

AB0:15	Adreßbus
DB0:7	Datenbus
/MEMRQ	Speichereinforderung (negiert)
/RD	Lesesteuersignal (negiert)
/WR	Schreibsteuersignal (negiert)
/MEMDI	Speicherfreigabe (negiert)
	evtl. durch Umwickeln ersetzt durch /MEMDI1 oder /MEMDI2
/RDY	Bereitsignal des Speichers (negiert)
/RFSH	Refresh-Signal (negiert)

Die elektrischen Bedingungen dieser Signale entsprechen den allgemeinen Forderungen des Systembusses K 1520.

Standardmäßig wird zur Speichersperrung das Signal MEMDI verwendet. Der Anwender kann aber auch wahlweise die Signale MEMDI1 bzw. MEMDI2 verwenden, die er allerdings selbst (negiert) bereitstellen muß. Auf diese Weise ist eine Erweiterung des Speicherspeicherbereiches über 64K hinaus möglich. Die Auswahl erfolgt durch die Wickelbrücken

VII-11

1.12.517101.0/61

Die Typen K 2521 und K 2523 erzeugen TAKTO selbst. Für die Typen K 2522 und K 2524 muß TAKTO von einem anderen Rechner (Mehrrechnersystem), vom Busverstärker K 4120 (Kopplung mit Entwicklungssystem) oder separat bereitgestellt werden.

3.1.3. Rücksetzschaltung

Nach dem Einschalten der Betriebsspannung 5P wird ein Kondensator aufgeladen und mit einem Schwellwertschalter überwacht. Solange die Einschaltsschwelle noch nicht erreicht ist, wird das Systembusignal /RESET auf "low" über einen Treiber mit offenem Kollektor gezogen. Am Treiber ist ein Kollektorstrom von 1K Ohm angeschlossen. Damit werden folgende elektrische Daten realisiert:

U_{OL}	0,4 V für I_{OL}	5 mA
U_{OH}	2,4 V für I_{OH}	- 2,25 mA.

Die Zeit vom Zuschalten der 5P bis zur "low-high"-Flanke von /RESET beträgt mindestens 300 ms.

3.2. Zentrale Verarbeitungseinheit (ZVE)

3.2.1. Struktur

Die ZVE besteht aus dem Mikroprozessor (MP) Q300 und der Ergänzungselektronik. Der MP realisiert die logischen Funktionen der ZVE. Die Ergänzungselektronik realisiert die elektrischen Bedingungen für die Ankopplung an den Systembus des VR K 4520 und besteht aus folgenden Komponenten:

- Verstärker für /RESET und TAKT (mit Ziehstromzustand zur Pegelanhebung; mitbenutzt von PIO und CPU).

- Arbeitswiderstände und Abblockdioden für ZVE-Steuersignale mit offenem Kollektor bzw. Drain (/NMI, /WAIT, /INT, /BUSRQ).
- Bildung der Bus-Anforderungsbetätigung /BAO durch eine Stufe mit offenem Kollektor (zum Zweck des externen BUS-Abschaltens im WAIT-Zustand) aus dem Signal /BUSAK.
- Verstärker für Adreßbus ABO:15, Datenbus DBO:7 und Systemsteuersignale /MRBQ, /M1, /IORQ, /RD, /WR, /RFSH, /HALT, die mit BAO hochohmig geschaltet werden: /M1 und /HALT besitzen Zieh Widerstände, die dann an ihnen High-Pegel erzeugen. Nur die Datenbusverstärker arbeiten bidirektional und werden mit RD oder M1 in Richtung ZVE gesteuert.

3.2.2. Funktion

Die Aufgabe der ZVE besteht in der Abarbeitung der im Speicher stehenden Programme und in der Reaktion auf Unterbrechungssignale von externen Einheiten.

Dazu muß die ZVE über den Systembus mit den Speichern und S/A-Einheiten Informationen austauschen.

Die Ergänzungselektronik hat keinen Einfluß auf die Funktion des Schaltkreises Q300. All seine programmatischen Eigenschaften sind nutzbar.

Folgende elektrische Besonderheiten sind allerdings zu beachten:

- Im Ruhezustand verstärken die Datenbusstreiber in Richtung Systembus
- Auf der ZRE sind alle Widerstände der Systembusleitungen für offenen Kollektor bzw. Drain vorhanden
- /BAO ist mit offenem Kollektor ausgeführt
- Auch /RFSH, /M1 und /HALT werden bei BUSAK hochohmig geschaltet. /M1 und /HALT werden aber dabei durch Widerstände auf high gezogen.

Zeitgeber:

Erzeugbare Intervalle: programmierbar $(16 \dots 256^2) \cdot t_z$
 t_z = Systemtaktzyklus

Zähler

Zählerbereich: programmierbar
 1 ... 256 externe Ereignisse
 256⁴ externe Ereignisse;
 erreichbar durch Reihenschaltung
 von 4 Kanälen

2.6. Parallel-Bin/Ausgabe (PIO)

Schaltkreistyp:	Q301 (4.833)
Anzahl der Ports: (bzw. bidirektionale Interfacekanäle)	2 (Port A, Port B)
Ausgangssignale:	MOS, TTL-kompatibel (max. 1,8 mA)
Eingangssignale:	MOS, TTL-kompatibel
Adressierung:	fest
Adressen:	§§84H ... §§87H
Betriebsarten:	4

2.7. Mehrrechnerkopplung

Schaltkreistyp:	Q301 (siehe 2.6.)
Anzahl der koppelbaren Rechner:	max. 1 Master - mit 3 Slavern
Übertragungsmodus:	Interruptverkehr zwischen Prozessor und S/A-Ports, programmierter Datenblocktransfer zwischen Master- und Slavern
Übertragungsgeschwindigkeit:	30K Byte/s

3. Technische Beschreibung

3.1. Takterzeugung und Rücksetzschaltung

Die unter Pkt. 3.1.1. und 3.1.3. beschriebenen Funktionseinheiten sind nur auf den Typen K 2521 und K 2523 vorhanden.

3.1.1. Takterzeugung

Ein Quarzgenerator erzeugt eine Grundfrequenz von 9830,4 KHz \pm 0,1 %. Diese wird mit Hilfe eines Dualzählers auf die Systemfrequenz von 2,4576 MHz \pm 0,1 % geteilt (Teilverhältnis 1:1). Ein folgender Treiber speist den Koppelbus mit dem Signal TAKTO. Diese Verbindung kann durch die Wickelbrücke X6 - X7 unterbrochen werden. Das ist z.B. notwendig, wenn der Takt separat erzeugt wird, wenn dieser vom Entwicklungssystem über den Busverstärker K 4120 oder von einer anderen ZRE (s.s. Mehrrechnersystem) zugeführt wird. Der Treiber gewährleistet folgende elektrische Bedingungen:

Low-Ausgangsspannung	U_{OL}	0,4 V bei I_{OL}	15 mA
High-Ausgangsspannung	U_{OH}	2,4 V bei I_{OH}	5 mA
Taktzykluszeit	t_z	= 407 ns \pm 0,1 %	

3.1.2. Taktentkopplung

Unabhängig vom Ort der Takterzeugung wird das Signal TAKTO auf dem Koppelbus eingespeist und kann hier an andere Rechner oder Geräte weitergeleitet werden. In jedem Falle wird auf der ZRE eine Taktentkopplung realisiert, indem das Signal TAKTO des Koppelbus verstärkt und als Signal TAKT an der entsprechenden Klemme des Systembus eingespeist wird.

K 2521- K2524

2. Technische Daten

2.1. Allgemeine Daten

Steckeinheitenabmessungen: 215 mm x 170 mm
 Steckrester: 20 mm
 Steckverbinder: 2 x 58polig, indirekt. Bauf. 304-58
 TGL 29331/03 bzw.
 2 x 58polig, direkt
 TGL 29331/01
 Einsatzklasse: 5/60/30/95/10-1g
 Stromversorgung (typisch; alle PROMs bestückt):
 K 2521 K 2522 K 2523 K 2524
 5P = + 5 V \pm 5 % 1,50 A 1,45 A 1,45 A 1,40 A
 5N = - 5 V \pm 5 % 0,07 A 0,07 A 0,07 A 0,07 A
 12P = + 12 V \pm 5 % 0,12 A 0,12 A 0,12 A 0,12 A

2.2. Taktzeugung

Quarztyp: Q51/B2010 TGL 33584
 Quarznennfrequenz: 9832 KHz
 Systemtaktfrequenz: 2,4576 MHz \pm 0,1 %
 Systemtaktzyklus: 407 ns \pm 0,1 %

2.3. Zentrale Verarbeitungseinheit

Schaltkreistyp: Q300 (L485)
 Befehlsanzahl: 158 Basisbefehle
 Befehlslänge: 1, 2, 3 oder 4 Byte
 Verarbeitungsbreite: 1 Byte
 Wortlänge Daten: 1 oder 2 Byte

Adressierbarer Speicher: 64K Byte
 S/A-Adressbereich: 256 Bin-/256 Ausgabeadressen (erweiterbar)
 Unterbrechungsarten: 1. maskierbare Unterbrechung (3 verschiedene Handlungsmodi)
 2. nichtmaskierbare Unterbrechung vorhanden
 Wartesteuerung: vorhanden
 Refreshsteuerung: vorhanden

2.4. Speicher

Schaltkreistypen: Q260 (L455)
 Q240 (L455 R32)
 Kapazität: 4K Byte, bestehend aus:
 - 1K Byte PROM (abrufbar in Stufen zu 1K Byte)
 - 1 K Byte stat. RAM (n-MOS) fest
 Adressierung:
 Adressen:
 - 1. PROM 0000H ... 03FFH
 - 2. PROM 0400H ... 07FFH
 - 3. PROM 0800H ... 0BFFH
 - RAM 0C00H ... 0FFFH

2.5. Zähler/Zeitgeber (OTC)

Schaltkreistyp: Q302 (L485)
 Anzahl der Kanäle: 4
 Adressierung: fest
 Adressen: 0000H ... 0003H
 Ausgangesignale: MOS, TTL-kompatibel (max. 1,8 mA)
 Eingangesignale: MOS, TTL-kompatibel
 Betriebsarten: 1. Zeitgeber
 2. Zähler

